

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

012183659 \*\*Image available\*\*

WPI Acc No: 1998-600572/199851

XRAM Acc No: C98-179956

XRPX Acc No: N98-467962

**TFT manufacturing method - involves moving catalyst element from silicon  
film to gettering area by subjecting substrate to heat processing at specific temperature range**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10270363	A	19981009	JP 9794607	A	19970327	199851 B
KR 98081004	A	19981125	KR 9811579	A	19980327	200005

Priority Applications (No Type Date): JP 9794607 A 19970327

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 10270363	A	20	H01L-021/20	
-------------	---	----	-------------	--

KR 98081004	A		H01L-021/00	
-------------	---	--	-------------	--

Title Terms: TFT; MANUFACTURE; METHOD; MOVE; CATALYST; ELEMENT; SILICON;  
FILM; GETTER; AREA; SUBJECT; SUBSTRATE; HEAT; PROCESS; SPECIFIC;  
TEMPERATURE; RANGE

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-021/20

International Patent Class (Additional): H01L-021/336; H01L-029/786

File Segment: CPI; EPI

05987263 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICES

PUB. NO. : 10-270363 [JP 10270363 A]

PUBLISHED: October 09, 1998 (19981009)

INVENTOR(s): ONUMA HIDETO

YAMAZAKI SHUNPEI

NAKAJIMA SETSUO

OTANI HISASHI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO. : 09-094607 [JP 9794607]

FILED: March 27, 1997 (19970327)

INTL CLASS: [6] H01L-021/20; H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS);

R096 (ELECTRONIC MATERIALS -- Glass Conductors);

R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);

R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a technique for removing catalytic elements from a semiconductor film containing silicon, while leaving the characteristic features of low-temperature process.

SOLUTION: An amorphous film 203 containing silicon is formed on a glass substrate 201 and crystallized by use of catalytic elements. Subsequently, an impurity element which belongs to the group 15 is selectively introduced into the thus obtained crystalline silicon film to form gettering regions 208 and 209 and a non-gettering region 210. Further, the catalytic elements in the silicon film are transferred to the gettering regions 208 and 209 by heat treatment. Through these gettering steps, there can be obtained a crystalline silicon film 211 with the catalytic elements being reduced in amount to a satisfactory extent.

(51) Int. Cl. <sup>6</sup>  
 H01L 21/20  
 29/786  
 21/336

識別記号

F I  
 H01L 21/20  
 29/78 618 G  
 627 G

審査請求 未請求 請求項の数13 FD (全20頁)

(21)出願番号 特願平9-94607

(22)出願日 平成9年(1997)3月27日

(71)出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72)発明者 大沼 英人  
 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
 (72)発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
 (72)発明者 中嶋 節男  
 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

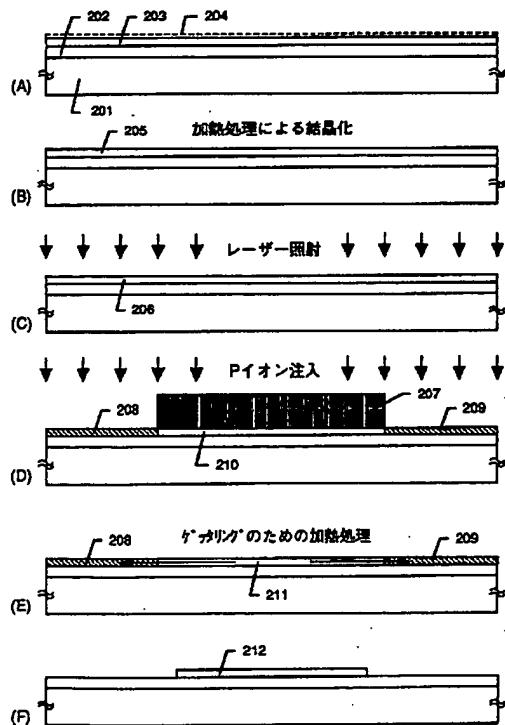
最終頁に続く

## (54)【発明の名称】半導体装置の作製方法

## (57)【要約】

【課題】 低温プロセスの特徴を生かしたまま珪素を含む半導体膜中から触媒元素を除去するための技術を提供する。

【解決手段】 ガラス基板201上に珪素を含む非晶質膜203を形成し、触媒元素を利用して結晶化する。そして、結晶性珪素膜に対して15族に属する不純物元素を選択的に導入し、ゲッタリング領域208、209および被ゲッタリング領域210を形成する。さらに、加熱処理によって珪素膜中の触媒元素をゲッタリング領域へと移動させる。このゲッタリング工程により触媒元素が十分に低減された結晶性珪素膜211を得ることができる。



## 【特許請求の範囲】

【請求項 1】 絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第 1 の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を導入する第 2 の工程と、

加熱処理により前記非晶質半導体膜を結晶化させる第 3 の工程と、

前記第 3 の工程で得られた珪素を含む半導体膜に対して 15 族に属する不純物元素を選択的に導入する第 4 の工程と、

加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲッタリングさせる第 5 の工程と、  
を少なくとも含み、

前記第 5 の工程における加熱処理は前記基板の歪点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項 2】 絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第 1 の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を選択的に導入する第 2 の工程と、  
加熱処理により前記非晶質半導体膜の少なくとも一部を結晶化させる第 3 の工程と、

前記第 3 の工程により得られた珪素を含む半導体膜に対して 15 族に属する不純物元素を選択的に導入する第 4 の工程と、

加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲッタリングさせる第 5 の工程と、  
を少なくとも含み、

前記第 5 の工程における加熱処理は前記基板の歪点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項 3】 請求項 1 または 2 において、前記第 3 の工程で得られた珪素を含む半導体膜とは、結晶粒界を有する結晶性半導体膜であることを特徴とする半導体装置の作製方法。

【請求項 4】 請求項 1 または 2 において、前記第 5 の工程における加熱処理は 550 ～ 650 ℃ の温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項 5】 絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第 1 の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を導入する第 2 の工程と、

加熱処理により前記非晶質半導体膜を結晶化させる第 3 の工程と、

前記第 3 の工程で得られた珪素を含む半導体膜に対してレーザー光または強光を照射する第 4 の工程と、

前記第 4 の工程で得られた珪素を含む半導体膜に対して 15 族に属する不純物元素を選択的に導入する第 5 の工程と、

加熱処理により前記不純物元素を導入した領域に前記触

10

媒元素をゲッタリングさせる第 6 の工程と、

を少なくとも含み、

前記第 6 の工程における加熱処理は前記基板の歪点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項 6】 絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第 1 の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を選択的に導入する第 2 の工程と、

加熱処理により前記非晶質半導体膜の少なくとも一部を結晶化させる第 3 の工程と、

前記第 3 の工程で得られた珪素を含む半導体膜に対してレーザー光または強光を照射する第 4 の工程と、

前記第 4 の工程により得られた珪素を含む半導体膜に対して 15 族に属する不純物元素を選択的に導入する第 5 の工程と、

加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲッタリングさせる第 6 の工程と、  
を少なくとも含み、

20

前記第 6 の工程における加熱処理は前記基板の歪点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項 7】 請求項 5 または 6 において、前記第 4 の工程で得られた珪素を含む半導体膜とは、結晶粒界を有する結晶性半導体膜であることを特徴とする半導体装置の作製方法。

【請求項 8】 請求項 5 または 6 において、前記第 6 の工程における加熱処理は 550 ～ 650 ℃ の温度範囲で行われることを特徴とする半導体装置の作製方法。

30

【請求項 9】 請求項 1、2、5 または 6 において、前記基板とはガラス基板であることを特徴とする半導体装置の作製方法。

【請求項 10】 請求項 1、2、5 または 6 において、前記加熱処理はファーネスアニールであることを特徴とする半導体装置の作製方法。

【請求項 11】 請求項 1、2、5 または 6 において、前記珪素を含む非晶質半導体膜にはゲルマニウムが含まれることを特徴とする半導体装置の作製方法。

40

【請求項 12】 請求項 1、2、5 または 6 において、前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Au から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【請求項 13】 請求項 1、2、5 または 6 において、前記 15 族に属する不純物元素とは、P、N、As、Sb、Bi から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は半導体薄膜を利用した半導体装置の作製方法に関する技術であり、特に珪素

50

を含む結晶性半導体膜を利用した薄膜トランジスタ (Thin Film Transistor: TFT) の作製方法に関する。

【0002】なお、本明細書において、半導体装置とは半導体を利用して機能する装置全般を指すものであり、TFTの如き単体素子のみならず、電気光学装置やそれを搭載した応用製品等も半導体装置の範疇に含むものとする。

【0003】

【従来の技術】近年、ガラス基板等に上にTFTを形成して半導体回路を構成する技術が急速に進んでいる。その様な半導体回路としてはアクティブマトリクス型液晶表示装置の様な電気光学装置が代表的である。

【0004】アクティブマトリクス型液晶表示装置は、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノシリック型表示装置である。また、さらにメモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

【0005】この様なドライバー回路やロジック回路は高速動作を行う必要があるので、活性層として非晶質珪素膜（アモルファスシリコン膜）を用いることは不適当である。そのため、現状では結晶性珪素膜（ポリシリコン膜）を活性層としたTFTが主流になりつつある。

【0006】本発明者らは、ガラス基板上に結晶性珪素膜を得るための技術として特開平7-130652号公報記載の技術を開示している。同公報記載の技術は、非晶質珪素膜に対して結晶化を助長する触媒元素を添加し、加熱処理を行うことで結晶性珪素膜を形成するものである。

【0007】この技術は触媒元素の作用により非晶質珪素膜の結晶化温度を50~100℃も引き下げることが可能であり、結晶化に要する時間も1/5~1/10にまで低減することができる。また、この技術によって得られる結晶性珪素膜は優れた結晶性を有することが実験的に確かめられている。

【0008】

【発明が解決しようとする課題】ところで、上記触媒元素としてはニッケル、コバルトなどの金属元素が用いられる。この様な金属元素は珪素膜中に深い準位を形成してキャリアを捕獲するため、TFTの電気特性や信頼性に悪影響を及ぼすことが懸念される。

【0009】また、TFTの活性層中に残存した触媒元素は不規則に偏析することが確認されている。本発明者らはその領域が微弱な電流の逃げ道（リークパス）になると考え、オフ電流（TFTがオフ状態にある時の電流）の突発的な増加を招く原因になっていると考えた。

【0010】従って、結晶化後は触媒元素を速やかに除去するか、または電気特性に影響しない程度にまで低減することが望ましい。そのための手段として、本発明者らはハロゲン元素によるゲッタリング効果を利用した出願を既に済ませている。

【0011】しかしながら、上記手段を用いる場合には800℃以上の高温処理が必要となるため耐熱性の低いガラス基板を用いることができない。即ち、触媒元素を用いた低温プロセスの特徴を効果的に生かすことができない。

【0012】本発明は上記問題点を鑑みて成されたものであり、低温プロセスの特徴を生かしたまま珪素を含む結晶性半導体膜中から触媒元素を除去または低減するための技術を提供することを課題とする。

【0013】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第1の工程と、前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を導入する第2の工程と、加熱処理により前記非晶質半導体膜を結晶化させる第3の工程と、前記第3の工程で得られた珪素を含む半導体膜に対して15族に属する不純物元素を選択的に導入する第4の工程と、加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲッタリングさせる第5の工程と、を少なくとも含み、前記第5の工程における加熱処理は前記基板の歪点を超えない温度範囲で行われることを特徴とする。

【0014】また、他の発明の構成は、絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第1の工程と、前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を選択的に導入する第2の工程と、加熱処理により前記非晶質半導体膜の少なくとも一部を結晶化させる第3の工程と、前記第3の工程により得られた珪素を含む半導体膜に対して15族に属する不純物元素を選択的に導入する第4の工程と、加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲッタリングさせる第5の工程と、を少なくとも含み、前記第5の工程における加熱処理は前記基板の歪点を超えない温度範囲で行われることを特徴とする。

【0015】なお、非晶質半導体膜を結晶化させる工程と15族に属する不純物元素を導入する工程との間に、半導体膜に対してレーザー光または強光を照射する工程を設けることもできる。

【0016】本発明の基本的な目的は、珪素を含む非晶質半導体膜の結晶化に使用した触媒元素を結晶性半導体膜中から除去することであり、そのための手段として15族から選ばれた元素によるゲッタリング効果を利用する。

【0017】上記触媒元素としてはNi（ニッケル）、Co（コバルト）、Fe（鉄）、Pd（パラジウム）、Pt（白金）、Cu（銅）、Au（金）が代表的である。本発明者らの実験では、ニッケルが最も適した元素であることが判明している。

【0018】また、上記触媒元素をゲッタリングする15族元素としては、N（窒素）、P（リン）、As（砒

素)、Sb(アンチモン)、Bi(ビスマス)が挙げられるが、特に顕著な作用効果を示すのはリンである。

【0019】典型的な例としては、触媒元素としてニッケル、ゲッタリング元素（15族元素）としてリンを使用した場合、600 ℃前後の加熱処理によってリンとニッケルが安定な結合状態を示す。この時、Ni<sub>3</sub>P、Ni<sub>2</sub>P、Ni<sub>3</sub>P<sub>2</sub>、Ni<sub>5</sub>P<sub>3</sub>、Ni<sub>6</sub>P<sub>5</sub>、Ni<sub>7</sub>P<sub>7</sub>という結合状態をとりうる。

【0020】以上の様に、珪素を含む非晶質半導体膜の結晶化を助長する触媒元素としてニッケルを使用した場合、15族元素であるリンの作用によってニッケルをゲッタリングすることが可能である。この効果を利用することで結晶性半導体膜中から触媒元素を除去または低減することができる。

【0021】なお、通常、上記触媒元素（金属元素）はどれも結晶粒界において安定な状態をとるため、結晶粒界に偏析しやすい性質をもつ。例えば、単結晶シリコン中からの金属元素のゲッタリングに上述の性質を利用する技術がある。

【0022】ところが、本発明ではその様な結晶粒界を含む結晶性半導体膜中から触媒元素を除去することを目的としている。この発想は従来の技術にはなかったものであり、本発明の特徴の一つであると言える。

[0 0 2 3]

【発明の実施の形態】ガラス基板上に珪素を含む非晶質半導体膜203を形成し、触媒元素（例えばニッケル）を利用した加熱処理により珪素を含む結晶性半導体膜205を得る。そして、結晶性半導体膜205に対してレーザー照射を行い、結晶性の改善された結晶性半導体膜206を得る。

【0024】次に、触媒元素の濃度を低減させたい領域（被ゲッタリング領域）をレジストマスク207で覆い、図2(D)に示す様なP元素のドーピング工程を行う。この工程によりP元素を高濃度に含んだ領域（ゲッタリング領域）208、209および被ゲッタリング領域210が形成される。

【0025】そして、レジストマスク207を除去した後にゲッタリングのための加熱処理を行い、被ゲッタリング領域210中に存在する触媒元素を、ゲッタリング領域208、209へと移動させる。

【0026】最後に、被ゲッタリング領域210のみをパターニングによって選択的に残し、触媒元素の濃度が十分に低減された結晶性半導体膜211を得る。

【0027】

### 【实施例】

〔実施例1〕本実施例では、触媒元素としてニッケルを用いて結晶化した結晶性珪素膜（ポリシリコン膜）中から、P（リン）を利用してニッケルをゲッタリングするための手段および効果について説明する。

【0028】 まず、図2 (A) に示すように、ガラス基 50

板201上に下地膜として、酸化珪素膜202をプラズマCVD法により200nmの厚さに成膜する。次に、減圧熱CVD法（またはプラズマCVD法）により、非晶質珪素膜203を50nmの厚さに成膜する。この膜厚は10~75nm（好ましくは15~45nm）の厚さであれば良い。

【0029】なお、非晶質珪素膜以外にも珪素を含む非晶質半導体膜、例えば  $Si_xGe_{1-x}$  ( $0 < x < 1$ ) を用いることもできる。

【0030】次に、非晶質珪素膜203の結晶化を行う。詳細な条件は特開平8-130652号公報の実施例1に記載する内容を参考にすると良い。

【0031】まず、酸素雰囲気中においてUV光を照射することにより非晶質珪素膜203の表面に図示しない極薄い酸化膜を形成する。この酸化膜は、後に塗布されるニッケルを含んだ溶液の濡れ性を向上させる機能を有する。

【0032】次にニッケルを10ppm(重量換算)で含有したニッケル酢酸塩溶液を塗布する。そしてスピンドルコーターにより、余分な溶液を吹き飛ばして除去し、非晶質珪素膜203の表面に極薄いニッケル含有層204を形成する。

【0033】図2(A)に示す状態を得たら、窒素雰囲気中で600℃、4hrsの加熱処理を行い、非晶質珪素膜203を結晶化する。この結晶化工程により結晶性珪素膜205が得られる。(図2(B))

【0034】なお、この結晶化工程に従えば粒界を含む多結晶シリコン膜（ポリシリコン膜）が形成されるが、異なる条件で微結晶状態のシリコン膜を得るのであっても構わない。

【0035】また、上記加熱処理は電熱炉において550～700℃（好ましくは550～650℃）の温度で行うことができる。この時、加熱温度の上限はガラス基板の耐熱性を考慮して使用するガラス基板のガラス歪点より低くすることが必要である。ガラス歪点を超えるとガラス基板の反り、縮み等が顕在化してしまう。

【0036】上記加熱処理はファーネスアニール（電熱炉内での加熱処理）によって行われる。なお、レーザーアニールまたはランプアニール等の加熱手段を用いることも可能である。

【0037】次に、得られた結晶性珪素膜205に対してレーザー光の照射を行い、結晶性の改善された結晶性珪素膜206を得る。本実施例ではKrfエキシマレーザー(波長248nm)を用いるが、XeClエキシマレーザーやYAGレーザー等を用いることもできる。

(図2 (C))

【0038】本実例で用いるエキシマレーザーはパルス発振型のレーザーであり、レーザー光が照射されることにより被照射領域において瞬間に溶融固化が繰り返される。そのため、エキシマレーザー光を照射することにより、一種の非平衡状態が形成され、ニッケルが非常

に動きやすい状態となっている。

【0039】また、図2 (B) に示す結晶化工程で得られる結晶性珪素膜205は非晶質成分が不規則に残存する。しかし、レーザー光の照射によってその様な非晶質成分を完全に結晶化することができるため結晶性は大幅に改善される。なお、このレーザー照射工程を省略することは可能である。

【0040】レーザー光の照射が終了したら、結晶性珪素膜206の表面の酸化膜を一旦除去し、再び薄い酸化膜(図示せず)を形成する。この酸化膜は酸素雰囲気中でUV光を照射することで得られる。そして、その上にレジストマスク207を形成する。前述の酸化膜はレジストマスク207の密着性を高める効果がある。

【0041】次にP(リン)元素のドーピング工程をプラズマドーピング法(またはイオン注入法)で行う。ドーピング条件はRF電力を20W、加速電圧を5~30keV(代表的には10keV)に設定し、P元素のドーズ量は $1 \times 10^{13}$  ions/cm<sup>2</sup>以上(好ましくは $5 \times 10^{13} \sim 5 \times 10^{14}$  ions/cm<sup>2</sup>)で行えば良い。

【0042】なお、後述するがP元素ドーピング注入工程の最適条件は、後に行うゲッタリングのための加熱処理の条件によって変化する。従って、実施者はプロセス的見地および経済的見地から最適条件を決定しなければならない。現状において、本発明者らは加速電圧は10keVとし、ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{14}$  ions/cm<sup>2</sup>とすることが好ましいと考えている。

【0043】本発明では結晶性珪素膜206中に残留するニッケルの濃度に比較して、P元素の濃度が1桁以上高くなる様な条件を設定してP元素ドーピング工程を行うことが好ましい。前述の $5 \times 10^{14}$  ions/cm<sup>2</sup>というドーズ量は濃度換算すると、約 $4 \times 10^{19}$  atoms/cm<sup>3</sup>に対応する。

【0044】本発明者らの計測によれば、図2 (B) の工程が終了した時点での結晶性珪素膜206中において、残留ニッケル濃度の最高値は $1 \times 10^{19}$  atoms/cm<sup>3</sup>程度である。従って、この場合はP元素が膜中に最低でも $1 \times 10^{19}$  atoms/cm<sup>3</sup>程度以上残留するようにドーピング条件を設定すれば良い。

【0045】このP元素のドーピングは図2 (D) の208、209で示される領域(以下、ゲッタリング領域と呼ぶ)に対して行われる。このドーピングの結果、ゲッタリング領域208、209はP元素を高濃度に含有した領域となる。また、これらの領域はドーピングされるイオンの衝撃によって非晶質化される。

【0046】また、210で示される領域(以下、被ゲッタリング領域と呼ぶ)は、レジストマスク207によって保護されるためP元素はドーピングされない。従って、成膜時の状態が維持されたままの結晶性を有した領域となる。

【0047】P元素のドーピング工程が終したら、レ

10

30

40

50

ジストマスク207を除去した後ゲッタリングのための加熱処理を行い、被ゲッタリング領域210の内部に残存するニッケルを、ゲッタリング領域208、209に移動させる。こうしてニッケル濃度が低減された被ゲッタリング領域211を得る。(図2 (E))

【0048】この時、加熱処理は電熱炉中において不活性雰囲気、水素雰囲気、酸化性雰囲気またはハロゲン元素を含む酸化性雰囲気にいずれかで行えば良い。また、温度は500°C以上(好ましくは550~650°C)とすれば良い。また、処理時間は2時間以上(好ましくは4~12時間)とすれば良い。

【0049】なお、後述するが、加熱処理の温度および時間によってゲッタリング効率は大きく変化する。即ち、前述のP元素のドーピング条件と同様に、実施者がプロセス的見地および経済的見地から最適条件を決定する必要がある。

【0050】なお、現状において、本発明者らは代表的には600°Cの温度で、8時間程度のファーネスアニール処理を行うことが好ましいと考えている。

【0051】以上の様な加熱処理工程によって、被ゲッタリング領域210の内部のニッケルはゲッタリング領域208、209へ(矢印の方向へ)と吸い出される。このニッケルの移動は、前述のレーザー照射によりニッケルが移動し易くなっていること、さらにゲッタリング領域208、209が非晶質化していることにより助長される。

【0052】そして、パターニングによってゲッタリング領域208、209を除去することで十分にニッケル濃度が低減された島状パターン212が得られる。なお、図2 (E) に示す被ゲッタリング領域211において、ゲッタリング領域208、209と隣接する周辺部はニッケル濃度が高い可能性があるので、パターニング時に一緒に除去することが望ましい。(図2 (F))

【0053】[本発明の実施条件に関して] 本発明の構成要素は、①珪素を含む非晶質半導体膜を触媒元素(例えばニッケル)を利用して結晶化する工程、②選択的に15族元素(例えばリン)をドーピングしてゲッタリング領域を形成する工程、③加熱処理によって被ゲッタリング領域内の触媒元素をゲッタリング領域に移動させる工程である。

【0054】特に、②と③が本発明の最大の目的である「P元素による触媒元素のゲッタリング」に関わる工程である。これらの工程において、考慮すべき代表的なパラメータとして以下の4つが挙げられる。

- ゲッタリングのための加熱処理における処理温度
- ゲッタリングのための加熱処理における処理時間
- P元素の注入工程におけるドーズ量
- P元素の注入工程における加速電圧

【0055】本発明は上記パラメータが相互に関係して成立しており、どれかパラメータを動かすと他のパラ

メータの最適値もそれに伴って変化しうる。そこで、本発明者らが行った実験およびそこから得られた知見について以下に述べる。

【0056】まずドーピング工程を、加速電圧30keV、ドーザ量  $5 \times 10^{14} \text{ ions/cm}^2$  で行い、処理時間を2時間に固定した場合の温度依存性を説明する。図3 (A) ~ (F) に示される写真は、それぞれ順にアニールなし、400 °C、450 °C、500 °C、550°C、600 °Cの場合の実験結果である。

【0057】本実験では、被ゲッタリング領域に残存したニッケル（おそらくニッケルシリサイドとなっている）を選択的に除去することで発生する孔の数を評価した。この孔は FPM (HFとH<sub>2</sub>O<sub>2</sub>をモル比で0.5:0.5に混合した薬液) と呼ばれるエッチャント中に試料を室温で1時間浸漬することで生じる。即ち、この孔が発生する度合いが高いほど、高濃度にニッケルが残留していると言える。

【0058】なお、本実験では写真内の左中央にある 160×200 μm のパターン（以下、観察パターンと略す）を観察している。この写真を模式的に表すと図4の様になる。図4において、401、402は被ゲッタリング領域、403がゲッタリング領域である。観察したパターンは401で示される領域に対応する。

【0059】図3 (A) ~ (F) の写真を観察すると、温度が高くなるにつれて明らかに観察パターン内の孔の数が減少する傾向が見られる。この事は、ゲッタリングのための温度が高いほどゲッタリング効率が向上することを意味している。

【0060】この傾向をグラフにまとめたものが図5である。図5では横軸に処理温度、縦軸に偏析密度をとっている。

【0061】なお、ここでいう偏析密度とは単位面積当たりに存在する孔の数であるが、ゲッタリング効率は被ゲッタリング領域の形状毎に異なる傾向を示すので絶対的な値ではない。従って、本実験では単にゲッタリング効率の温度依存性の傾向を知るための指標として用いている。

【0062】図5では 160×200 μm のパターンと参考までに 20×100 μm のパターンの二つについて調べた結果を示しているが、両者ともに温度が高くなるにつれて偏析密度が減少していくことが確認できる。特に、20×100 μm のパターンでは 160×200 μm のパターンよりも急激に減少する傾向が見られる。

【0063】こうして本実験の評価対象である 160×200 μm のパターンの結果より、ドーピング工程を加速電圧30keV、ドーザ量  $5 \times 10^{14} \text{ ions/cm}^2$  で行い、ゲッタリングの処理時間を2時間に固定した場合、その処理温度は高いほど良い、即ち現状では600 °C以上であることが好ましいという結果が得られた。

【0064】ここで、P元素によるゲッタリング効果は 50

ゲッタリング領域と被ゲッタリング領域との距離が問題となる。これはゲッタリング現象が膜面と平行な方向でのニッケルの移動によって進行することによる。

【0065】160×200 μm のパターンの場合、短辺が 160 μm であるのでこのパターンの中心から端部までの距離がゲッタリング領域と被ゲッタリング領域の距離に相当する。即ち、少なくとも 160 μm という距離の範囲内では本実験の結果が適用できることを意味している。なお、他の観察パターンの結果から、実際には 200~250 μm 程度の距離まで本実験と同様の結果が得られると推測される。

【0066】なお、この 160×200 μm というサイズの活性層は、実際にアクティブマトリクス型表示装置を構成する TFT の活性層パターンの一つであり、その中でも特に大きいサイズに相当する。従って、本実験結果から得られる知見は実質的にアクティブマトリクス型表示装置を構成する全ての TFT に適用できる。

【0067】また、短辺が 200 μm 以上となる様なサイズの活性層は、例えばドライバー回路を構成する TFT にしか使用されず、その場合、活性層を複数に分割する等の工夫で容易に回避することができる。また、短辺が細ければ細いほどさらに低い温度で顕著なゲッタリング効果を得られることは、図5の 20×100 μm のパターンの結果からも明らかである。

【0068】次に、本発明者らはガラス基板の耐熱性を考慮して処理温度の上限を 600 °C に定め、処理時間依存性について調べた。この実験では、処理温度を 600 °C に固定し、ドーピング条件は加速電圧30keV、ドーザ量  $5 \times 10^{14} \text{ ions/cm}^2$  で固定して行った。

【0069】図6 (A) ~ (F) に示される写真は、それぞれ順にアニールなし、1時間、2時間、4時間、8時間、24時間の場合の実験結果である。なお、観察対象は温度依存性の実験と同様のパターン (160×200 μm) とし、評価方法は前述の孔の観察および偏析密度で調べた。

【0070】図6 (A) ~ (F) に示す写真の観察結果からも明らかな様に、処理時間が増加するにつれて被ゲッタリング領域に発生する孔の数は減少する。特に、処理時間が24時間となると完全に孔は発生しなくなる。

【0071】この実験における本発明者らの最終的な目的は、FPM処理を施しても孔が発生しない条件の探索である。即ち、ここでは処理時間を24時間とした場合のみが目的の結晶性珪素膜を得ることのできる条件であった。

【0072】また、図6の結果をもとに処理時間と偏析密度との関係を図7に示す。図7では処理時間の増加に伴って偏析密度が減少する傾向を明確に読み取ることができる。なお、フィティングした曲線から10時間を超えるあたりで孔の発生がなくなると予想される。また、短辺の細い 20×100 μm のパターンでは、さらに処理時間

が短くて済むことが確認された。

【0073】また、ゲッタリング効率の変化をS I M S分析(質量二次イオン分析)で調べた結果、加熱処理を行わない時のニッケル濃度が約 $7 \times 10^{11} \text{ atoms/cm}^3$ であったのに対し、8時間処理で約 $3 \times 10^{11} \text{ atoms/cm}^3$ にまで低減されていることが確認された。さらに、F P M処理で孔の空かなかった24時間処理の試料はニッケル濃度が検出下限(約 $5 \times 10^{11} \text{ atoms/cm}^3$ 以下)にまで低減されていた。

【0074】なお、ここで得られたニッケル濃度は $160 \times 200 \mu\text{m}$ のパターンの中心部 $30 \mu\text{m}$ の範囲をS I M S分析で測定した結果である。また、測定値は試料の深さ方向での中央付近における平均値(本実験では試料が60nmであるので20~30nmの深さでの平均値)を用いている。

【0075】以上の様に、図7の $160 \times 200 \mu\text{m}$ のパターンの結果より、ドーピング工程を加速電圧30keV、ドーザ量 $5 \times 10^{14} \text{ ions/cm}^2$ で行い、ゲッタリングの処理温度を600°Cに固定した場合、その処理時間は10時間以上であることが好ましいという結果が得られた。

【0076】しかしながら、製造工程のスループットを考慮すると、処理時間があまりにも長いことは好ましくない。そのため、本発明者らはガラス基板の耐熱性およびスループットを考慮して、処理時間の上限を10時間(好ましくは8時間)に定めることにした。

【0077】次に、本発明者らはガラス基板の耐熱性および製造工程のスループットを考慮して、加熱処理条件を600°C 8時間に固定し、ドーピング条件のパラメータに関する依存性を調べた。

【0078】ここでは加速電圧を30keVに固定し、ドーザ量を $1 \times 10^{14} \text{ ions/cm}^2$ 、 $5 \times 10^{14} \text{ ions/cm}^2$ 、 $2 \times 10^{15} \text{ ions/cm}^2$ で変えた場合の結果について図8(A)~(C)に、加速電圧を10keVに固定し、ドーザ量を $1 \times 10^{14} \text{ ions/cm}^2$ 、 $5 \times 10^{14} \text{ ions/cm}^2$ 、 $2 \times 10^{15} \text{ ions/cm}^2$ で変えた場合の結果について図8(D)~(F)に示す。なお、ゲッタリング効率の評価方法は前述の評価方法と同様である。

【0079】図8(A)~(C)および(D)~(F)に示す様に、10keVの場合も30keVの場合もドーザ量が増加するに伴って孔の数が減少する傾向が確認できる。しかしながら、加速電圧30keVの条件では $2 \times 10^{15} \text{ ions/cm}^2$ で完全に孔が発生しなくなったのに対し、加速電圧10keVの条件では $5 \times 10^{14} \text{ ions/cm}^2$ で既に孔が発生しなくなった。

【0080】また、孔の空かなくなった条件で処理した試料をS I M S分析した結果、やはりニッケル濃度が検出下限まで低減されていることが確認できた。

【0081】この結果をまとめて図1のグラフに示す。図1において、横軸はP元素のドーザ量であり、縦軸はゲッタリング処理後の被ゲッタリング領域に残る二

ッケルの濃度である。ニッケル濃度の測定方法は前述の通りである。

【0082】図1に示す様に、現状では30keVの場合にはP元素のドーザ量を $5 \times 10^{14} \text{ ions/cm}^2$ としてもまだ約 $3 \times 10^{14} \text{ atoms/cm}^3$ のニッケルが残留しているが、少なくとも $2 \times 10^{15} \text{ ions/cm}^2$ のドーザ量で添加すればS I M Sの検出下限までニッケル濃度を低減できることが確認された。

【0083】実際にはもっと低いドーザ量で検出下限までニッケル濃度が低減される可能性がある。図1では明確ではないが、本発明者らはニッケル濃度とドーザ量の関係にある相関関係があると推測している。相関関係があるとすれば、おそらくニッケルおよびリンの珪素膜中における拡散速度等が関与するであろう。

【0084】一方、現状では10keVの場合にはP元素のドーザ量を少なくとも $5 \times 10^{14} \text{ ions/cm}^2$ とすればS I M Sの検出下限までニッケル濃度を低減できることが確認された。勿論、実際にはもっと低いドーザ量で検出下限までニッケル濃度が低減される可能性がある。

【0085】この様に10keVと30keVとで明らかな相違が現れた理由は、Pイオンをドーピングした際のイオンプロファイルが異なるためであることがS I M S分析で確認されている。即ち、10keVの加速電圧でドーピングした方が試料中に添加されるP元素の濃度は実質的に高く、ゲッタリングに寄与するP元素が多いためであると推測される。

【0086】以上の様な結果から、ゲッタリングのための加熱処理を600°C 8時間で行うという条件内で目的の結晶性珪素膜(F P M処理で孔が空かない膜)を得るための条件として、加速電圧30keVでドーザ量を $2 \times 10^{15} \text{ ions/cm}^2$ 以上とする、或いは加速電圧10keVでドーザ量を $5 \times 10^{14} \text{ ions/cm}^2$ 以上とすることが好ましいことが確認された。

【0087】しかしながら、実際問題として加速電圧が高くなるとドーピング装置への負担が増加し、ドーザ量が増加するとスループットが悪くなることが予想される。従って、現状では加速電圧10keVでドーザ量を $5 \times 10^{14} \text{ ions/cm}^2$ 以上とすることが最も好ましい条件であると言える。

【0088】なお前述の様に、加速電圧が10keVの場合、ドーザ量が $5 \times 10^{14} \text{ ions/cm}^2$ 以上であればニッケル濃度が検出下限に達していることを確認した。しかしながら、実際にニッケル濃度が検出下限に達するドーザ量はさらに低い値である可能性がある。

【0089】また、本発明者らが、T F T特性に影響を与えないレベルと考えているニッケル濃度( $1 \times 10^{11} \text{ atoms/cm}^3$ 以下)にまで低減させるためには、さらに低いドーザ量でP元素をドーピングすれば良いと予想される。

【0090】ところで、本発明者らは比較実験としてリ

ンの代わりに典型的な 13 族元素である B (ボロン) を用いた場合の効果を調べた。その結果を図 9 に示す。図 9 (A) はゲッタリング用不純物としてリンを用いた場合、図 9 (B) はボロンを用いた場合の写真である。

【0091】なお、ドーピング条件は加速電圧30keV、ドーザ量  $5 \times 10^{14} \text{ ions/cm}^2$  とし、ゲッタリングのための加熱処理は600 °C、8 時間とした。また、ゲッタリング効果の評価方法は FPM 处理による孔空きを観察した。

【0092】リンをドーピングした図 9 (A) に示す試料はニッケルが完全にゲッタリングされて  $160 \times 200 \mu \text{m}$  のパターン内に全く孔が観察されなかった。ところが、ボロンをドーピングした図 9 (B) に示す試料では、パターンに関係なく全面に均一に孔が観察された。この傾向は他の 13 族に属する元素においても同様であった。

【0093】以上の様に、本発明が示すゲッタリング効果は 15 族元素 (特にリン) に特有のものであって、13 族元素では成しえないことが判明した。

【0094】最後に、以上に示した本発明者らによる実験結果をまとめた。リンを用いたニッケルのゲッタリング工程において、ゲッタリングのための加熱処理は処理温度と処理時間の二つのパラメータが重要であり、P 元素のドーピング工程は加速電圧とドーザ量が重要である。

【0095】本発明者らの実験では温度は高いほど良いという結果が得られたが、低温プロセスを生かすという本発明の目的を考慮すると、ガラス基板の耐熱性によって上限温度は700 °C (好ましくは550 ~ 650 °C、代表的には600 °C) とすることが好ましい。

【0096】また、処理時間は長いほど良いという結果となつたが、ガラス基板の耐熱性および製造工程のスループットを考慮すると、上限は24時間 (好ましくは 4 ~ 12 時間、代表的には 8 時間) とすることが好ましい。

【0097】また、600 °C 8 時間の加熱処理を前提として P 元素のドーピング条件を実験的に調べた結果、加速電圧を10keV とし、ドーザ量を  $5 \times 10^{14} \text{ atoms/cm}^2$  以上とすることでニッケル濃度を検出下限にまで低減できることが確認された。

【0098】なお、ニッケル濃度を  $1 \times 10^{18} \text{ atoms/cm}^3$  以下にするので十分であれば、ドーザ量は  $1 \times 10^{13} \text{ ions/cm}^2$  以上 (好ましくは  $5 \times 10^{13} \text{ atoms/cm}^3 \sim 5 \times 10^{14} \text{ atoms/cm}^3$ ) で十分と予想される。

【0099】【実施例 2】本実施例では実施例 1 と異なる手段で非晶質半導体膜の結晶化を行う例を図 10 を用いて説明する。なお、この結晶化手段に関する詳細は特開平7-130652号公報記載の実施例 2 を参考にすると良い。

【0100】まず、図 10 (A) において、301 はガラス基板であり、その上に下地膜 302、膜厚50nm の非晶質珪素膜 303 を形成する。また、その上に酸化珪素

10

20

30

40

50

膜であるマスク絶縁膜 304 を形成し、触媒元素 (本実施例もニッケルとする) を選択的に添加するための開口部 305 を設ける。

【0101】この状態で酸素雰囲気中において UV 光を照射し、非晶質珪素膜 303 の露出表面に濡れ性改善のための極薄い酸化膜 (図示せず) を形成する。次にニッケルを100ppm (重量換算) で含有したニッケル酢酸塩溶液をスピンドルコート法により塗布し、非晶質珪素膜 303 の表面に極薄いニッケル含有層 306 を形成する。(図 10 (A))

【0102】図 10 (A) に示す状態を得たら、窒素雰囲気中で600 °C、8hrs の加熱処理を行い、非晶質珪素膜 303 を結晶化する。非晶質珪素膜 303 の結晶化は、ニッケルを添加した領域から膜面と平行な方向 (横方向) に進行する。(図 10 (B))

【0103】なお、この結晶化工程に従えば針状または柱状の結晶の集合体でなる多結晶シリコン膜 (ポリシリコン膜) が形成される。本発明者らはこの様に結晶化した領域を横成長領域と呼ぶ。

【0104】また、この時、結晶化後の膜は、①ニッケルの添加領域 307 (結晶性珪素膜)、②横成長領域 308 (結晶性珪素膜)、③横成長が及ばなかった領域 309 (非晶質珪素膜) の三つの領域に分類される。なお、最終的に必要とするのは横成長領域 308 のみであるので、以下の説明において他の領域の説明は略す。

【0105】次に、得られた結晶化後の珪素膜に対してレーザー光の照射を行う。これにより横成長領域 308 は大幅に結晶性が改善された結晶性珪素膜 310 となる。本実施例では KrF エキシマレーザーを用いる。

(図 10 (C))

【0106】レーザー光の照射が終了したら、レジストマスク 311 を形成して、P (リン) 元素のドーピング工程を行う。なお、ドーピング条件は実施例 1 に従って実施者が適宜決定すれば良い。また、後のゲッタリングのための加熱処理の条件を考慮して決定することが好ましい。(図 10 (D))

【0107】本実施例ではこのドーピング工程を RF 電力20W、加速電圧10keV、ドーザ量  $5 \times 10^{14} \text{ ions/cm}^2$  で行う。この P 元素のドーピング工程によりゲッタリング領域 312、313 および被ゲッタリング領域 314 が形成される。

【0108】P 元素のドーピング工程が終了したら、レジストマスク 311 を除去して加熱処理を行い、被ゲッタリング領域 314 の内部に残存するニッケルを、ゲッタリング領域 312、313 の方に (矢印の方向) 移動させる。こうしてニッケル濃度の低減された被ゲッタリング領域 315 が得られる。(図 10 (E))

【0109】この時、加熱処理は実施例 1 に従って実施者が適宜決定すれば良い。ただし、前述の様にガラス基板の耐熱性を考慮して、処理温度および処理時間の上限

を設定しなければならない。

【0110】そして、パターニングによってゲッタリング領域312、313を除去することで十分にニッケル濃度が低減された島状パターン316を得る。この時、ゲッタリング領域312、313と隣接する周辺部も一緒に除去することが好ましい。(図10(F))

【0111】本実施例の結晶化手段を用いた場合、図10(B)に示す結晶化工程の後に得られる横成長領域308は、内部のニッケル濃度が直接ニッケルを添加した領域に比べて低いという特徴がある。

【0112】即ち、実施例1に示した結晶化手段よりも、もともと被ゲッタリング領域に含まれるニッケル濃度が低いため、ゲッタリング処理の処理温度を低くしたり、処理時間を短くしたりするなど、プロセス的なマージンが増す。

【0113】【実施例3】本実施例ではNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせたCMOS回路を作製する工程例について説明する。

【0114】図11(A)において、11はガラス基板、12は下地膜、13はNチャネル型TFTの活性層、14はPチャネル型TFTの活性層である。活性層13、14は例えば図2(F)の島状パターン212で形成すれば良い。

【0115】次に、プラズマCVD法または減圧熱CVD法により酸化珪素膜を150nmの厚さに成膜し、ゲート絶縁膜15を形成する。(図11(A))

【0116】次に、アルミニウムを主成分とする金属膜を成膜し(図示せず)、パターニングによって後のゲート電極の原型を形成する。次いで、本発明者らによる特開平7-135318号公報記載の技術を利用する。同公報記載の技術を利用することで多孔質状の陽極酸化膜16、17、緻密な陽極酸化膜18、19、ゲート電極20、21が形成される。

【0117】次に、ゲート電極20、21、多孔質状の陽極酸化膜16、17をマスクとしてゲート絶縁膜15をエッチングし、ゲート絶縁膜22、23を形成する。そしてその後、多孔質状の陽極酸化膜16、17を除去する。こうしてゲート絶縁膜22、23の端部が露出した状態となる。(図11(B))

【0118】次に、N型を付与する不純物イオンをイオンプランテーション法またはプラズマドーピング法を用いて2回に分けて添加する。本実施例では、まず1回目の不純物添加を高加速電圧で行い、n<sup>-</sup>領域を形成する。

【0119】この時、加速電圧が高いので不純物イオンは露出した活性層表面だけでなく露出したゲート絶縁膜の端部の下にも添加される。このn<sup>-</sup>領域は後のLDD領域(不純物濃度は1×10<sup>18</sup>～1×10<sup>19</sup>atoms/cm<sup>3</sup>程度)となる様にドーズ量を設定する。

【0120】さらに、2回目の不純物添加を低加速電圧

10

で行い、n<sup>+</sup>領域を形成する。この時は加速電圧が低いのでゲート絶縁膜がマスクとして機能する。また、このn<sup>+</sup>領域は後のソース/ドレイン領域となるのでシート抵抗が500Ω以下(好ましくは300Ω以下)となる様に調節する。

【0121】以上の工程を経て、Nチャネル型TFTのソース領域24、ドレイン領域25、低濃度不純物領域26、チャネル形成領域27が形成される。なお、この状態ではPチャネル型TFTの活性層もNチャネル型TFTの活性層と同じ状態となっている。(図11(C))

20

【0122】次に、Nチャネル型TFTを覆ってレジストマスク28を設け、P型を付与する不純物イオンの添加を行う。この工程も前述の不純物添加工程と同様に2回に分けて行う。ただし、この場合にはN型をP型に反転される必要があるので前述のNチャネル型TFTの工程よりも2～3倍程度の不純物イオンを添加しなくてはならない。

20

【0123】この様にして、Pチャネル型TFTのソース領域29、ドレイン領域30、低濃度不純物領域31、チャネル形成領域32が形成される。(図11(D))

30

【0124】以上の様にして活性層が完成したら、ファーネスアーニール、レーザーアーニールまたはランプアーニールにより不純物イオンの活性化およびイオン添加時の損傷の回復を図る。

30

【0125】次に、層間絶縁膜33を500nmの厚さに形成する。層間絶縁膜33としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜のいずれか或いはそれらの積層膜を用いることができる。

40

【0126】そして、コンタクトホールを形成してソース配線34、35、ドレイン配線36を形成して図11(E)に示す状態を得る。最後に、水素雰囲気中で熱処理を行い全体を水素化してCMOS回路が完成する。

40

【0127】本実施例で示すCMOS回路はインバータ回路とも呼ばれ、半導体回路を構成する基本回路である。この様なインバータ回路を組み合わせたりすることでNAND回路、NOR回路の様な基本論理回路を構成したり、さらに複雑なロジック回路をも構成することができる。

40

【0128】また、以上の様にして形成したTFTはチャネル形成領域27、32やその両端の接合部にニッケル等の触媒元素を殆ど含まないため、その様な触媒元素が電気特性に悪影響を与えることがない。従って、信頼性の高いTFT、CMOS回路、さらには半導体回路を構成することが可能である。

50

【0129】次に、本発明を利用したTFTの電気特性(TFT特性とも呼ばれる)と本発明を利用しないTFTと電気特性を比較して説明する。ここで示すTFT特性とは横軸にゲート電圧(Vg)、縦軸にドレイン電流

(Id) の対数をとてプロットしたグラフであり、Id-Vg 特性 (Id-Vg 曲線) とも呼ばれる。

【0130】図12 (A)、(B) はどちらもNチャネル型 TFT のTFT 特性であり、図12 (A) はゲッタリング処理を施したTFT、図12 (B) はゲッタリング処理を施さないTFT の電気特性である。なお、図12 (A)、(B) はどちらも任意の30個のTFTについて測定し、その結果を重ね書きによって一つのグラフに表している。

【0131】また、図12 (A)、(B) はそれぞれ二つの曲線が示されているが、全体的に高い値を示している方がドレイン電圧 (Vd) を14Vとした場合のデータである。また、他方がドレイン電圧を1Vとした場合のデータである。また、ゲイト電圧は-20V~20V の範囲で連続的に変化する様に与えられ、それに応じてドレイン電流の値が変化する。

【0132】まず、図12 (A) について説明する。図12 (A) に示す様なNチャネル型 TFT の場合、約-20V~0V の範囲で TFT がオフ状態にあるが、若干のオフ電流 81 (Vd=14V の場合)、82 (Vd=1V の場合) が観測される。この値は小さければ小さいほど良い。

【0133】また、ゲイト電圧が約0V にさしかかるとドレイン電流が急激に増加する。これは TFT がオン状態に切り換わることを意味しており、この時のId-Vg 曲線の変化が急峻であるほど高いスイッチング性能を有していることが判る。

【0134】そして、ゲイト電圧が0V~20V の範囲では TFT がオン状態にあるため、オン電流 83 (Vd=14V の場合)、84 (Vd=1V の場合) が流れる。このオン電流 83、84 は次第に飽和して殆ど一定の値を示す。

【0135】次に、図12 (B) においても同様にオフ電流 85 (Vd=14V の場合)、86 (Vd=1V の場合) およびオン電流 87 (Vd=14V の場合)、88 (Vd=1V の場合) が確認される。ここで注目すべきは、オフ電流の挙動が明らかに図12 (A) のオフ電流と異なる点である。

【0136】即ち、図12 (A) ではオフ電流 81、82 ともに比較的揃った特性を示している一方、図12 (B) では特にオフ電流 85 のバラツキが激しいものとなっている。

【0137】本発明者らの知見によれば、TFT の活性層中にニッケル等の触媒元素が残存すると偏析して電流のリーカパスを形成する。そして、それを含む活性層で TFT を構成した場合に上述の様なオフ電流のバラツキが発生すると考えている。

【0138】図12 (B) に示すTFT の電気特性はまさにその状態を示しており、活性層中の触媒元素によりオフ電流がばらついたものと考えられる。しかしながら、本発明を利用して活性層中の触媒元素をゲッタリングした場合、図12 (A) に示す様にオフ電流のばらつ

10

20

30

40

50

きが明らかに防止されていることが判る。

【0139】なお、図12 ではNチャネル型 TFT についてのみ説明したが、Pチャネル型 TFT においても同様の結果が得られている。

【0140】そこで、図12 (A) および図12 (B) に示した電気特性を数値化したグラフを図13 (A)、(B) に示す。なお、図13 (A) に示すグラフはオフ電流値の、図13 (B) に示すグラフはモビリティ値 (電界効果移動度) の正規確率分布を表しており、540 個のTFTについてのデータを集計してある。

【0141】この様なグラフは TFT 特性のバラツキを評価する上で有効である。例えば、図13 (A) を見ると、ゲッタリングありの場合は殆どのオフ電流値が数pA ~ 数十 pA 程度のバラツキ内に収まるのに対し、ゲッタリングなしの場合は数pA ~ 数nA のバラツキが観察される。

【0142】即ち、データ群を線と見なすと、その線が立っているほどバラツキが小さく、正規分布 (ガウシアン分布) に従うと見なせる。逆に、その線が寝ているほどバラツキが大きく、正規分布からはずれていると見なせる。

【0143】従って、図13 (A) ではゲッタリングありの場合には正規分布に従うが、ゲッタリングなしの場合には正規分布に従わないことが判る。即ち、ゲッタリングなしの場合、540 個のTFT のうち、約80% (430 個程度) は10pA 程度の値に収まるが、残りの約110 個のTFT は1~2 极も大きなものとなってしまうことを示している。

【0144】この様な結果は、上述の様な理由により結晶化を助長する触媒元素の偏析によるリーカパスの形成が、ゲッタリング処理によって改善されたことを顕著に表していると考えられる。

【0145】また、図13 (B) に示すモビリティ値のデータ群では、明らかにゲッタリング処理を行った方がバラツキが小さいことが判る。なお、ゲッタリングの有無でモビリティ値の最大値は殆ど変わらないが、ゲッタリングなしの場合、極端にモビリティ値の小さい TFT が存在する確率が高いことが判る。

【0146】この事は、ゲッタリングなしの場合、TFT の活性層 (特にチャネル形成領域) においてキャリアの移動を妨げる高いエネルギー障壁が存在することを示唆しているものと推測される。

【0147】この事実について、本発明者らは次の様に考えている。通常、ポリシリコン膜等に含まれる結晶粒界では結晶粒同士の結合の整合性が悪く、高いエネルギー障壁を形成している。これが TFT 動作時のキャリアの移動を妨げ、モビリティ値の低下に反映している。

【0148】実施例1に示した工程の場合、意図的にニッケルの触媒作用を利用しているため、結晶性珪素膜の結晶粒界にはニッケルが偏析していると考えられる。そして、そこではシリコンの不対結合手とニッケルとが結

合し、Si-Ni-Siの如き形態でシリサイド化していると予想される。

【0149】そこで本発明者らは、詳細なメカニズムは不明であるが、ニッケルを除去する過程において何らかの理由により結晶粒界のエネルギー障壁が低下すると考えている。例えば、上述の様にシリサイド化した状態でゲッタリング処理を行うと、ニッケルとシリコンとの結合が切れ、近接したシリコンの不対結合手同士で再結合する様なことが起こっているというモデルも考えうる。

【0150】従って、図13 (B) に示す結果を考慮すると、本発明のゲッタリング処理は単に不純物元素を除去する従来のゲッタリング処理とは異なり、触媒元素の除去と同時に結晶性半導体の結晶性、特に結晶粒界の整合性を改善する効果をもたらす点で全く新しい技術である。

【0151】また、本発明者らは図11 (E) に示すCMOS回路（インバータ回路）を奇数段直列に接続し、リングオシレータを試作した。試作したリングオシレータは図14に示すその測定結果からも明らかな様に、電源電圧0～16Vで安定に動作し、100MHz近い動作周波数を実現した。また、本発明を利用したリングオシレータの方が高い動作周波数を得ることができた。

【0152】以上の結果から、本発明がTFT特性や半導体回路の特性に対して何ら弊害をもたらさないことが確認できた。

【0153】〔実施例4〕本実施例では実施例3とは異なる構造のTFTを作製する場合の例について説明する。具体的にはボトムゲート型TFTの典型的な例である逆スタガ型TFTを作製する例を示す。

【0154】図15 (A) において、41はガラス基板、42は下地膜、43は導電性材料であるゲート電極、44はゲート絶縁膜、45は非晶質珪素膜、46は実施例1と同様の手段で形成したニッケル含有層である。（図15 (A)）

【0155】なお、後にファーネスアニールによって500～700℃の温度でゲッタリング工程が行われるので、その温度に耐えうる材料をゲート電極43として使用する必要がある。

【0156】次に、結晶化のための加熱処理を行い、結晶性珪素膜47を形成する。加熱処理の条件は実施例1に従えば良い。（図15 (B)）

【0157】次に、レジストマスク48を設けてニッケルをゲッタリングするための元素（本実施例もリンを例にとる）を添加する。この工程よりゲッタリング領域49、50および被ゲッタリング領域51が形成される。（図15 (C)）

【0158】次に、ゲッタリングのための加熱処理を行い、被ゲッタリング領域51内のニッケルをゲッタリング領域49、50に矢印の方向に向かって移動させる。こうしてニッケル濃度の低減された結晶性珪素膜（被ゲ

10

20

30

40

50

20

ッタリング領域）52が得られる。（図15 (D)）

【0159】次に、ゲッタリング工程によって得られた被ゲッタリング領域52をパターニングして活性層53を形成する。そして、活性層53上に窒化珪素膜をパターニングして形成されるチャネルストッパー（またはエッチングストッパーと呼ばれる）54を設ける。（図15 (E)）

【0160】図15 (E) の状態が得られたら、N型を呈する結晶性珪素膜を形成してパターニングを施し、ソース領域55およびドレイン領域56とを形成する。さらに、ソース配線57、ドレイン配線58を形成する。そして、最後に全体の水素化を行って図15 (F) に示す逆スタガ型TFTが完成する。

【0161】〔実施例5〕実施例3で説明した様に、本発明はオフ電流のバラツキを低減するという大きな効果を有している。そのことは、TFTでもって液晶表示装置等の電気光学装置を形成する際に非常に価値のある効果である。

【0162】従来、オフ電流のバラツキ対策としてマルチゲート構造が提案されている。マルチゲート構造とは電気的に短絡した複数のゲート電極を1つの活性層上に配置し、実質的に複数のTFTを直列に配列した様な構造のことである。

【0163】そのため、どれか1つのTFTでオフ電流が異常値を示しても他のTFTが正常に動作すればその値で律速される。即ち、全体としてはオフ電流のバラツキを抑制することができる。なお、ゲート本数を増やせばその分効果は高まるが、TFTが大型化するというデメリットがある。

【0164】ところで、液晶表示装置の画像表示領域となる画素マトリクス回路ではできる限りオフ電流のバラツキをなくすことが望まれる。そのため、マルチゲート構造が多く用いられている。その一方で、透過型液晶表示装置の画素マトリクス回路では高い開口率が要求される。

【0165】従って、従来のマルチゲート構造では開口率を高くするという要求を満足することは困難であった。

【0166】しかしながら、本発明のTFTは非常にオフ電流のバラツキが小さいため、シングルゲート構造のTFTでも十分に活用することができる。勿論、マルチゲート構造においてゲート本数を減らすのであっても良い。

【0167】従って、本発明を利用することでTFTサイズを小さくしてもオフ電流のバラツキの小さい電気特性が得られる。このことは、画素マトリクス回路の開口率を高くする上で非常に有効である。

【0168】〔実施例6〕本実施例では本発明を適用したTFTを用いて電気光学装置を構成する場合の例を示す。なお、本実施例ではアクティブラチクス型液晶表

示装置に適用する例を示すが、他にもアクティブマトリクス型のEL表示装置、EC表示装置等に用いることができる。

【0169】、図16に示すのはアクティブマトリクス型液晶表示装置の断面を簡略化した図であり、ドライバ回路やロジック回路を構成する領域にはCMOS回路を、画素マトリクス回路を構成する領域には画素TFTを示している。

【0170】なお、実施例3でCMOS回路の構造(TFT構造)に関する説明を既に行ったので、本実施例では必要な箇所のみを説明することにする。

【0171】まず、実施例3に示したCMOS回路の作製工程に従って、図16の左側のCMOS回路を完成する。この時、画素TFTの構造はCMOS回路を構成するTFTと基本的には同一構造である。勿論、画素TFTのみマルチゲイト構造にしたり、LDD領域の長さを変えたりすることもできるが、その場合は実施者が必要に応じて変更すれば良い。

【0172】CMOS回路の上には有機性樹脂膜でなる層間絶縁膜61が設けられ、その上にはブラックマスク62が配置される。なお、本実施例ではブラックマスク62を画素マトリクス回路の上方のみに設けているが、CMOS回路の上方に設ける構成としても良い。

【0173】ブラックマスク62上には再び層間絶縁膜63が設けられ、コンタクトホールを設けて画素電極64が配置される。画素電極64は反射型表示装置の場合にはアルミニウム膜の如き反射膜を、透過型表示装置の場合にはITOの如き透明導電膜を用いれば良い。そして、最上層に配向膜65を設けてアクティブマトリクス基板を構成する。アクティブマトリクス基板とはTFTが配置された側の基板を指す。

【0174】また、66は対向基板、67は透明導電膜でなる対向電極、68は対向側の配向膜である。この様な構成の対向基板と上述のアクティブマトリクス基板との間に液晶層69を挟持して図16に示すアクティブマトリクス型液晶表示装置が構成される。

【0175】また、アクティブマトリクス型液晶表示装置の外観を図17に簡略化して示す。図17において、71はガラス基板、72は下地膜、73は画素マトリクス回路、74はソースドライバ回路、75はゲイドドライバ回路、76はロジック回路である。

【0176】ロジック回路76は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバ回路と呼ばれている回路と区別するためにそれ以外の回路を指している。

【0177】【実施例7】本実施例では、本発明を適用しうる半導体装置の一例として実施例6で示した様な電気光学装置を用いた応用製品について図18を用いて説明する。本発明を利用した半導体装置としてはビデオカメラ、スチルカメラ、ヘッドマウントディスプレイ、カ

ーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。

【0178】図18(A)はモバイルコンピュータであり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明は表示装置2005に適用することができる。

【0179】図18(B)はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明は表示装置2102に適用することができる。

【0180】図18(C)はカーナビゲーションシステムであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。本発明は表示装置2202に適用することができる。

【0181】図18(D)は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明は表示装置2304に適用することができる。

【0182】図18(E)はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。本発明は表示装置2402に適用することができる。

【0183】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することができる。

#### 【0184】

【発明の効果】本発明を用いることで結晶化を助長する触媒元素を利用して得た結晶性半導体膜中から触媒元素を効率的に除去または低減することができる。また、本発明のゲッタリング処理はガラスの耐熱温度(歪点)以下の温度で行われるので、従来の低温プロセスを踏襲することができる。

【0185】また、本発明を用いて得られた結晶性半導体膜は触媒元素の効果により結晶性が非常に優れ、かつ、ゲッタリング処理によりその触媒元素が十分低い濃度にまで低減されている。そのため、半導体装置の活性層として利用した場合、優れた電気特性と高い信頼性とを備えた半導体装置を得ることができる。

#### 【図面の簡単な説明】

【図1】 P元素のドーズ量とニッケル濃度の関係を示す図。

【図2】 ゲッタリング処理工程を説明するための図。

【図3】 ゲッタリング処理の時間依存性を示す写真。

【図4】 160×200 μmのパターンを示す写真の模

式図。

【図5】 ゲッタリング処理時間と偏析密度の関係を示す図。

【図6】 ゲッタリング処理の温度依存性を示す写真。

【図7】 ゲッタリング処理温度と偏析密度の関係を示す図。

【図8】 ゲッタリング処理のドーズ条件依存性を示す写真。

【図9】 PおよびBによるゲッタリング効果を示す写真。

【図10】 ゲッタリング処理工程を説明するための図。

【図11】 TFTの作製工程を示す図。

【図12】 TFTの電気特性を説明するための図。

【図13】 TFTの電気特性を説明するための図。

【図14】 リングオシレータの測定結果を示す図。

【図15】 TFTの作製工程を示す図。

【図16】 液晶表示装置の断面構造を示す図。

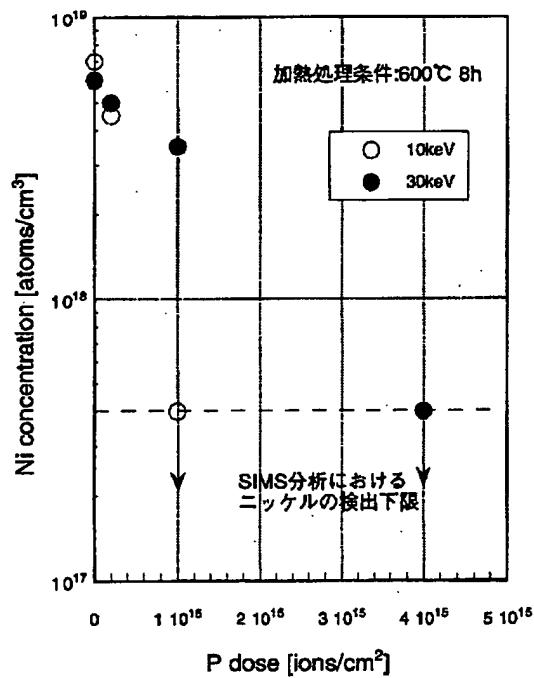
【図17】 アクティブマトリクス基板の構成を示す図。

【図18】 本発明を利用しうる応用製品の一例を示す図。

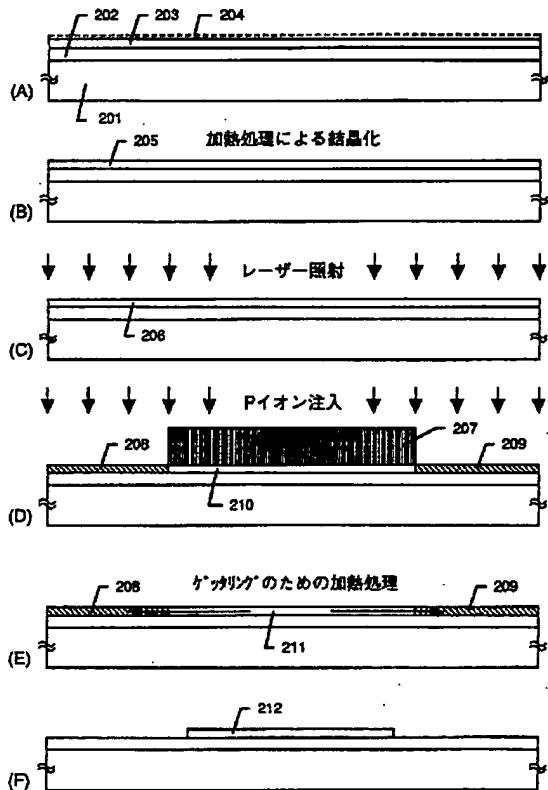
## 【符号の説明】

201	ガラス基板
202	下地膜
203	非晶質珪素膜
204	ニッケル含有層
205	結晶性珪素膜
206	結晶性が改善された結晶性珪素膜
207	レジストマスク
208、209	P元素を添加した領域（ゲッタリング領域）
210	P元素を添加しない領域（被ゲッタリング領域）
211	ゲッタリング処理を施した結晶性珪素膜
212	結晶性珪素膜でなる島状パターン

【図1】

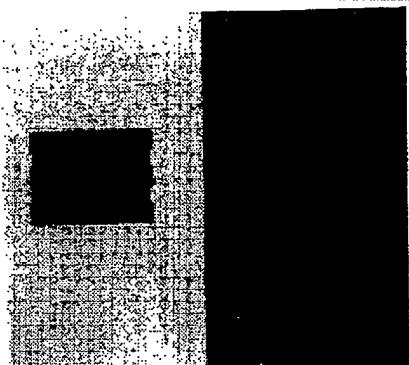


【図2】

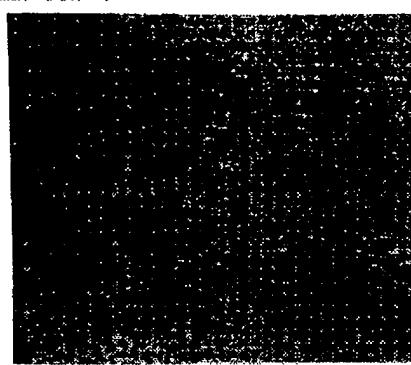


【図 3】

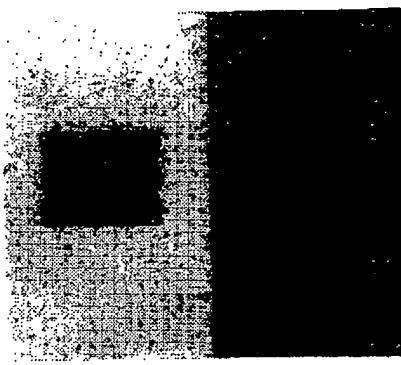
図面代用写真



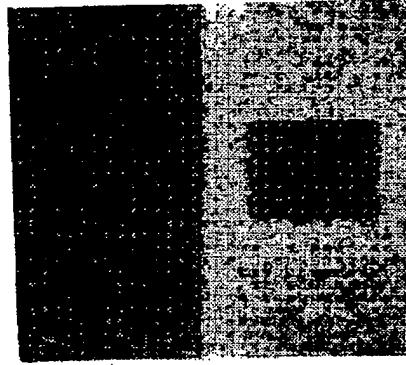
(A)



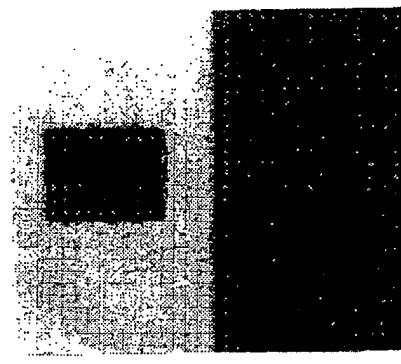
(D)



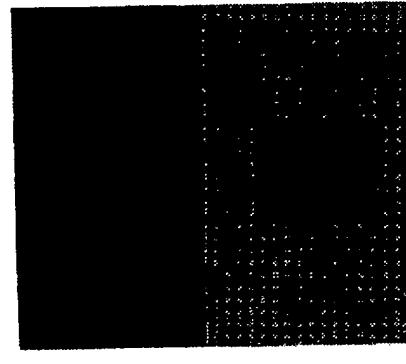
(B)



(E)

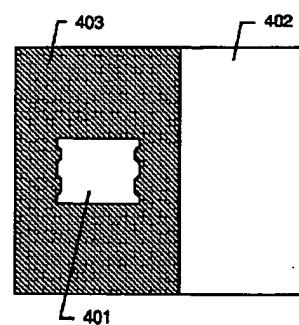


(C)

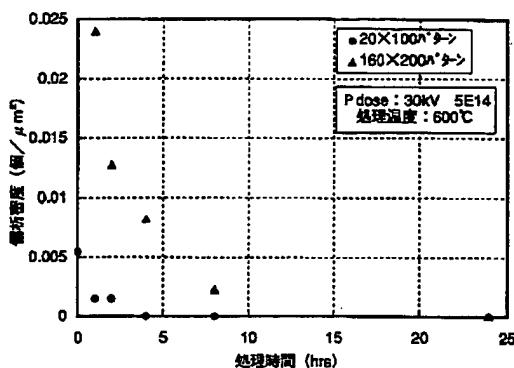


(F)

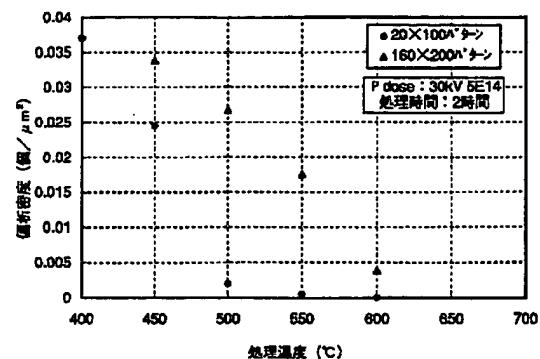
【図 4】



【図 5】

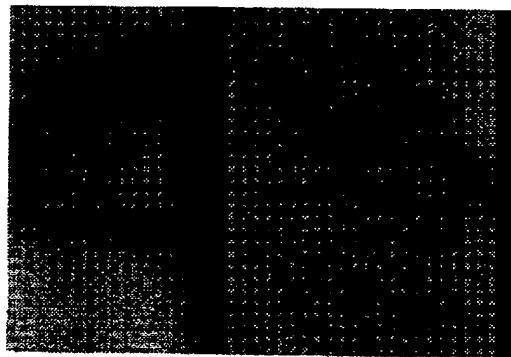


【図 7】

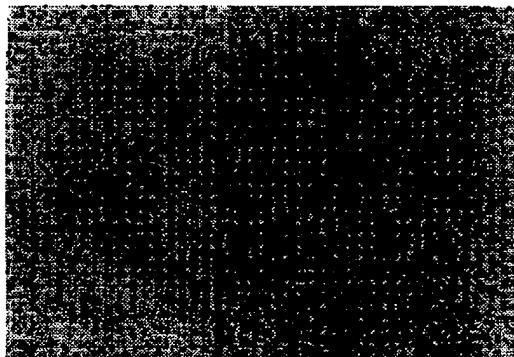


【図 9】

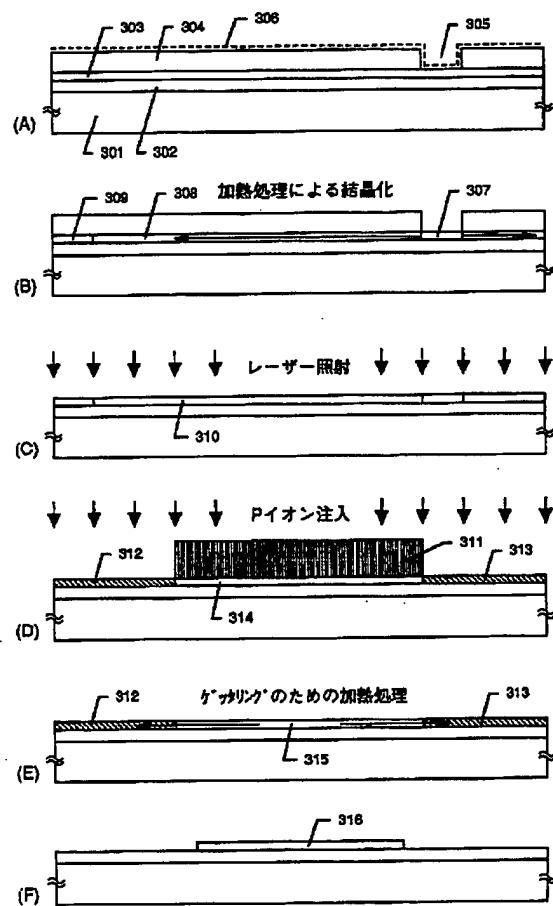
図面代用写真



(A)

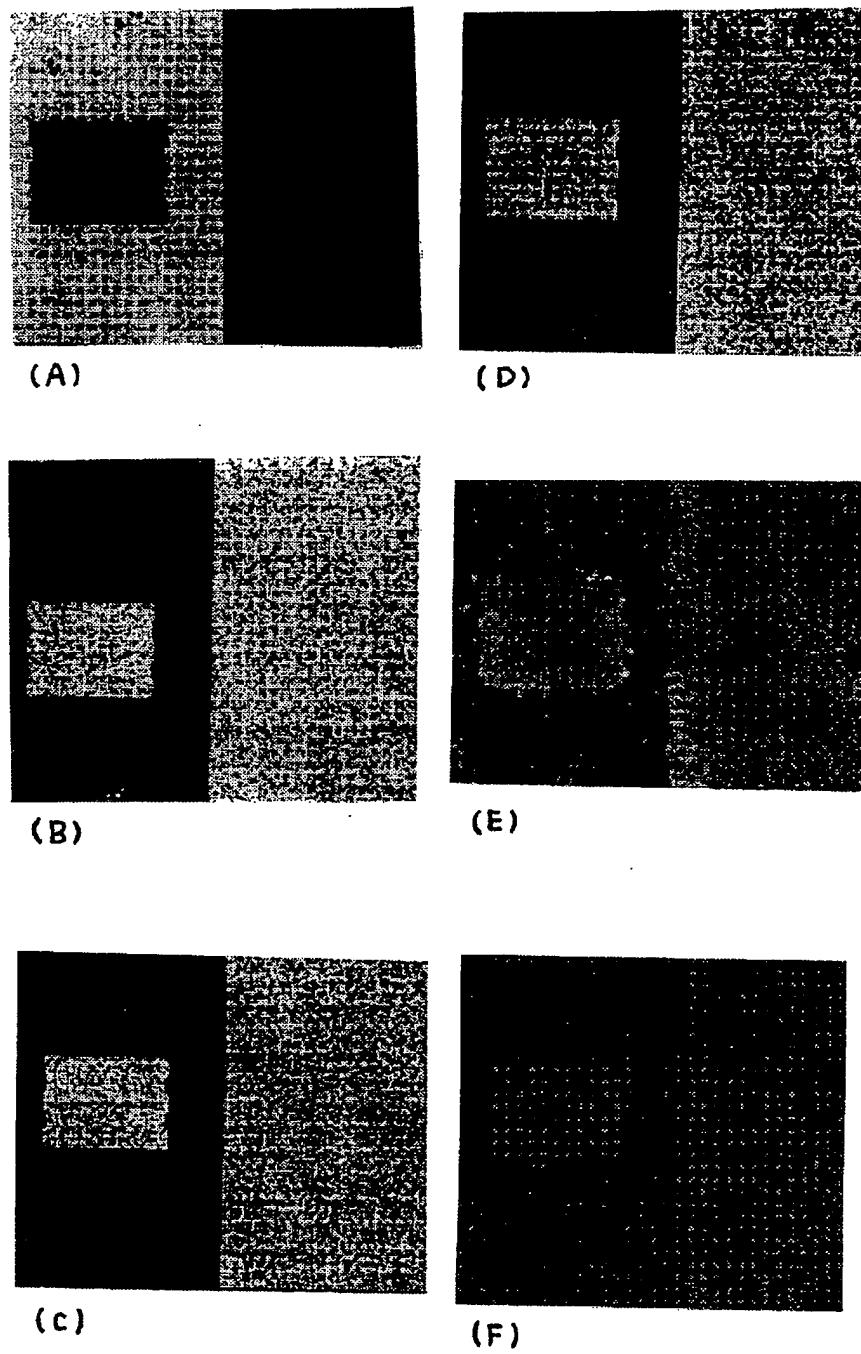


(B)



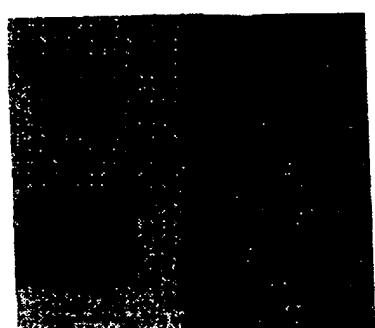
【図 6】

## 図面代用写真

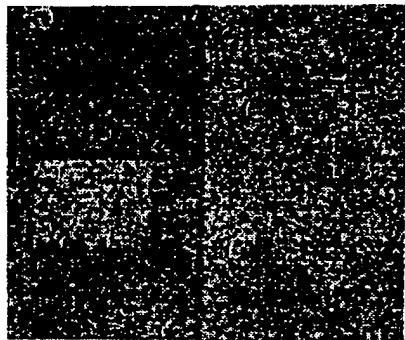


【図 8】

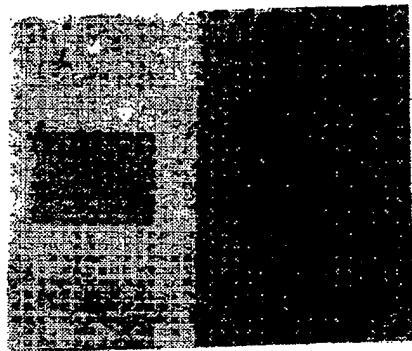
## 図面代用写真



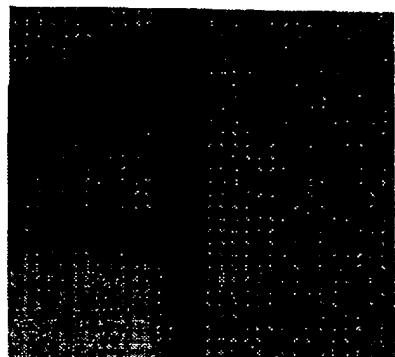
(A)



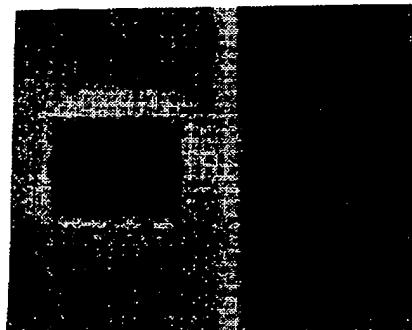
(D)



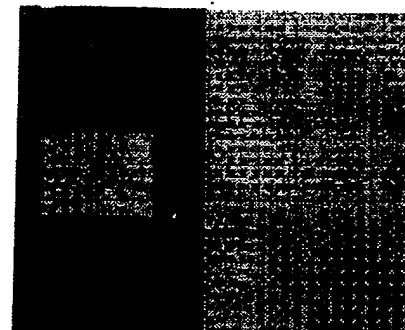
(B)



(E)

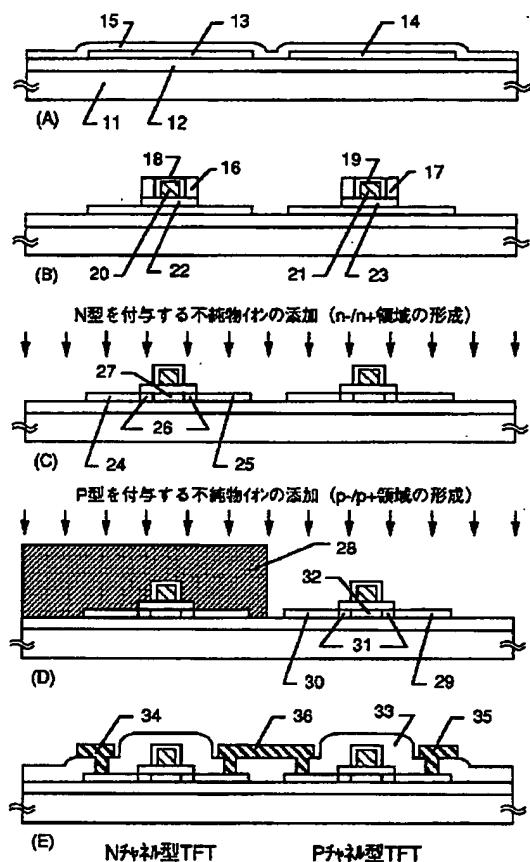


(C)



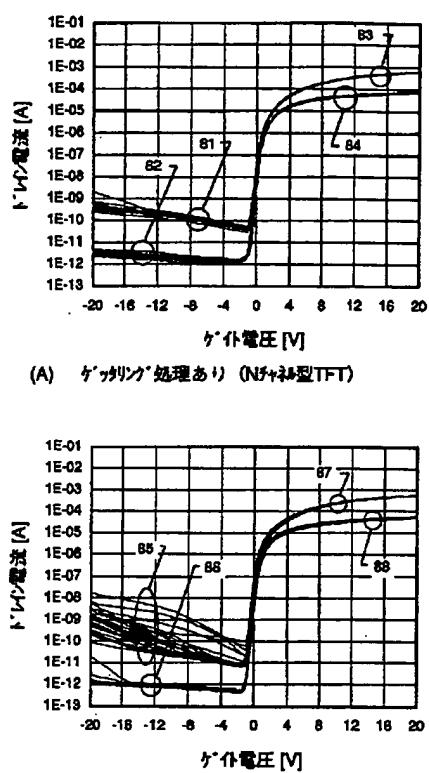
(F)

【図 1 1】



(E) Nチャンネル型 TFT Pチャンネル型 TFT

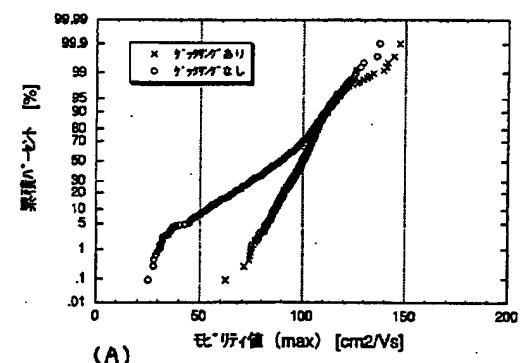
【図 1 2】



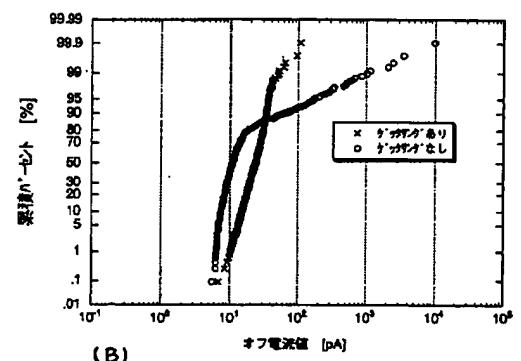
(A) ケッタリング処理あり (Nチャンネル型 TFT)

(B) ケッタリング処理なし (Nチャンネル型 TFT)

【図 1 3】

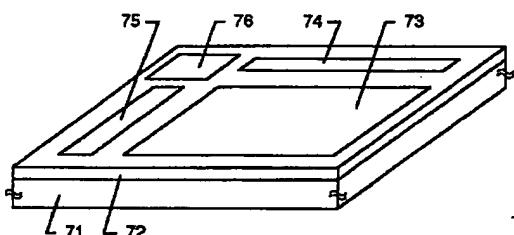


(A)

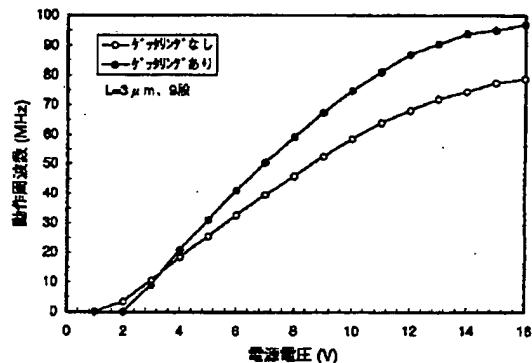


(B)

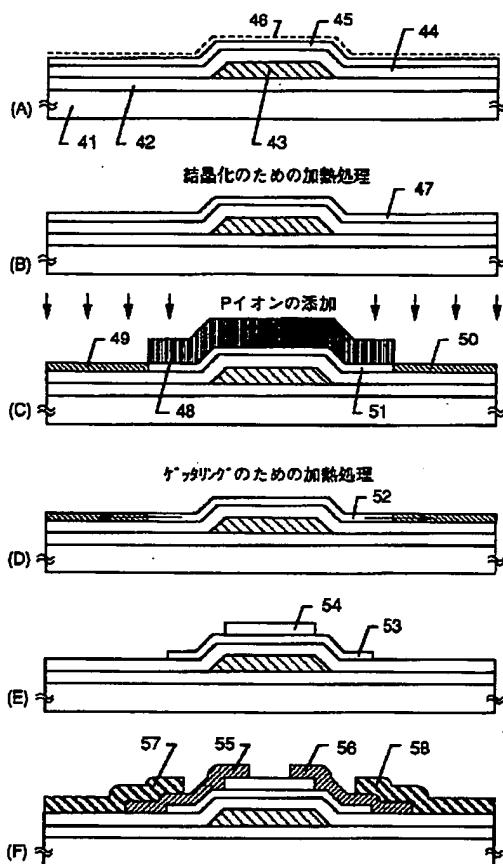
【図 1 7】



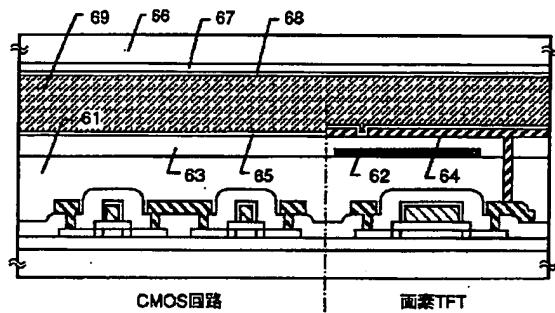
【図 14】



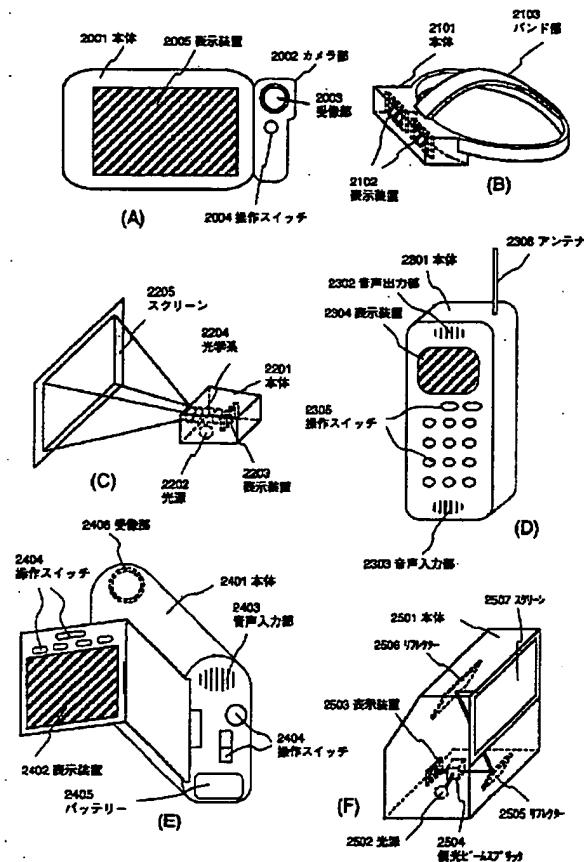
【図 15】



【図 16】



【図 18】




---

フロントページの続き

(72)発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内